

PCT

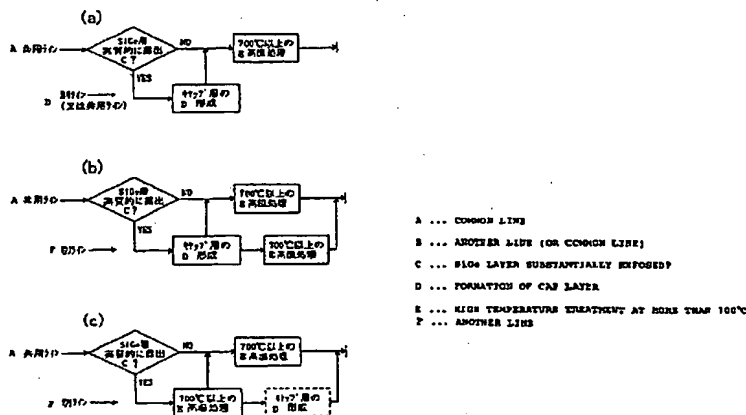
世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 H01L 21/324	A1	(11) 国際公開番号 WO00/16391 (43) 国際公開日 2000年3月23日(23.03.00)
(21) 国際出願番号 PCT/JP99/04962 (22) 国際出願日 1999年9月13日(13.09.99) (30) 優先権データ 特願平10/259876 1998年9月14日(14.09.98) JP (71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 菅原 岳(SUGAHARA, Gaku)(JP/JP) 〒631-0806 奈良県奈良市朱雀5-1-1-68-101 Nara, (JP) 齋藤 徹(SAITOH, Tohru)(JP/JP) 〒566-0065 大阪府摂津市島飼新町2-18-14 Osaka, (JP) 久保 実(KUBO, Minoru)(JP/JP) 〒518-0641 三重県名張市桔梗ガ丘西1番町125番地 Mie, (JP) 大西照人(OHNISHI, Teruhito)(JP/JP) 〒573-0049 大阪府枚方市山之上北町60-1-1202 Osaka, (JP)	(74) 代理人 弁理士 前田 弘, 外(MAEDA, Hiroshi et al.) 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka, (JP) (81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書	

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称 半導体装置の製造方法



(57) Abstract

In order to produce a wafer comprising a device which has a Ge-containing semiconductor film and a wafer comprising a SiCMOS device which has no Ge-containing semiconductor film in a common production line, the wafer having a substantially exposed Ge-containing layer is treated at a high temperature of more than 700 °C after the Ge-containing semiconductor film is covered with a cap layer such as of Si. The cap layer may be formed in the common production line, but it is formed in another production line when the formation is conducted at a high temperature of more than 700 °C. The formation of the cap layer and the high temperature treatment at more than 700 °C may be both conducted in different production lines from the common one. Only the high temperature treatment may be carried out in another production line.

(57)要約

Geを含む半導体膜を有するデバイスを搭載したウエハーと、Geを含む半導体膜を持たない例えばSiCMOSデバイスを搭載したウエハーとを共用の製造ラインで製造する場合には、以下のようなプロセス制御を行なう。Geを含む半導体膜を有するウエハーに対して、Geを含む半導体層が実質的に露出した状態で700℃以上の高温処理を施す場合には、Geを含む半導体膜をSi層などのキャップ層で被覆してから、700℃の高温処理を行なう。キャップ層の形成は共用の製造ラインで行なってもよいが、キャップ層の形成自体が700℃以上の高温で行なわれる場合には、共用の製造ラインとは別の製造ラインで行なう。また、キャップ層を共用の製造ラインとは別の製造ラインで形成し、700℃以上の高温下における処理も共用の製造ラインとは別の製造ラインで行なう方法もある。さらに、700℃以上の高温処理を別ラインで行なうだけでもよい。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FJ	フィジー	LK	スリランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BF	ブルキナ・ファソ	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BG	ブルガリア	GH	ガーナ	MA	モロッコ	TD	チャード
BJ	ベナン	GM	ガンビア	MC	モナコ	TG	トーゴ
BR	ブラジル	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BY	ベラルーシ	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
CA	カナダ	GR	ギリシャ	MK	マケドニア	TM	トルクメニスタン
CF	中央アフリカ	HR	クロアチア		共和国	TR	トルコ
CG	コンゴ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CH	スイス	ID	インドネシア	MN	モンゴル	UG	ウガンダ
CI	コートジボワール	IE	アイルランド	MN	モリタニア	US	米国
CM	カメルーン	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IN	インド	NE	ネパール	VN	ベトナム
CR	コスタリカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CY	キプロス	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CZ	チェコ	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
DE	ドイツ	KG	キルギスタン	PL	ポーランド		
DK	デンマーク	KR	韓国	PT	ポルトガル		
				RO	ルーマニア		

明 細 書

半導体装置の製造方法

技術分野

本発明は、Geを含む半導体装置の製造工程におけるクロスコンタミネーションを防止するための製造方法に関するものである。

背景技術

近年、Geを含む半導体デバイス、特にSiGe又はSiGeCなどの混晶半導体材料を用いた半導体デバイスの実用化に向けた検討が活発に進められている。特に、SiGe混晶半導体は、バンドギャップがSiより狭く、ホール移動度が高いという性質を持っている。この性質を利用すると、例えば、Siバイポーラトランジスタのベース層をSiGe混晶により構成することで、バイポーラトランジスタの高周波特性の向上を実現することができる。このようなSiGeを用いた半導体装置は、GaAs等の化合物半導体を用いたデバイスに比べ、安価かつ高集積化が容易であるという利点を有している。それは、安価で大口径の基板の入手が容易なSi基板上に形成することができること、高集積化技術が確立されている既存のSi集積回路を製造するためのラインを用いて、ほぼ共通の製造工程で生産することができること、などによる。

解決課題

しかしながら、SiGe層を含むデバイスを形成するウェハと、SiGe層を含まないMOSデバイスなどのみが形成されるウェハとを同一の生産ラインで製造しようとする、クロスコンタミネーションという現象が発生することがわかった。これは、SiGe層が汚染源となって、SiGe層を含まないデバイス例えばSiデバイスがGeで汚染され、Siデバイスの諸特性に悪影響を及ぼす現象である。その原因は、CMOSデバイスなどの活性領域のSi層にGeが侵入することで、トラップや再結合中心になりうる不純物準位などが発生しているた

めと考えられる。

この不具合を回避するためには、SiGe層、SiGeC層、GeC層などGeを含む材料によって構成される要素を含むデバイスについては専用のラインを設け、一般的なCMOSデバイスなどの製造ラインとは明確に区別する方法が考えられる。しかし、新たに製造ラインを設けるには、多大の投資が必要であり、何よりもMOSデバイス用のプロセスと共通のプロセスを利用できるというSiGe層、SiGeC層などを用いたデバイスの利点が損なわれてしまう。

加えて、最近のシステムLSIなどの進展を考慮すると、CMOSデバイスとSiGeデバイスとを共通のウエハ上に形成したいいわゆる混載型デバイスを製造する必要が生じることも考えられるので、クロスコンタミネーション現象を確実に防止する手段の確立が期待される。

本発明の目的は、上述のようなクロスコンタミネーション現象が生じる条件を把握し、これに基づいてクロスコンタミネーションを確実に防止するための手段を講ずることにより、Geを含む半導体膜を有するウエハーとGeを含む半導体膜を有していないウエハーとをできるだけ共用の製造ラインを利用して製造するための半導体装置の製造方法を提供することにある。

発明の概要

本発明の第1の半導体装置の製造方法は、Geを含む半導体膜を有するウエハーとGeを含む半導体膜のないウエハーとを処理するための共用の製造ラインを用いた、Geを含む半導体膜を有する半導体装置の製造方法であって、上記Geを含む半導体膜を実質的に露出させる処理を行なう工程(a)と、上記工程(a)の後、上記Geを含む半導体膜の上にGeの空中への飛散を阻止する機能を有するキャップ層を形成する工程(b)と、上記工程(b)の後、上記Geを含む半導体膜を有するウエハーを700℃以上の温度で処理する工程(c)とを含んでいる。

この方法により、工程(c)において、Geを含む半導体膜がキャップ層によって被覆された状態で700℃以上の高温下における処理が行なわれるので、この高温下における処理を共用の製造ラインで行なったとしても、空中にGeが飛

散するのが阻止される。したがって、共用の製造ラインでGeを含む半導体膜を有していないウェハーを処理する際に、当該ウェハーの活性領域内にGeが侵入することに起因するクロスコンタミネーションを抑制することができる。

具体的に、上記第1の半導体装置の製造方法においては、以下のような手順が可能である。

上記工程(b)を上記共用の製造ラインとは別の製造ラインで行い、上記工程(c)を上記共用の製造ラインで行なうことができる。これは、キャップ層を形成する工程が、700℃以上の高温下における処理である場合に特に有効な方法である。

また、上記工程(b)、(c)ともに上記共用の製造ラインで行なうこともできる。

さらに、上記工程(b)、(c)を、上記共用の製造ラインとは別の製造ラインで行なってもよい。

また、上記工程(c)の後、上記キャップ層の上に別のキャップ層を形成する工程をさらに含むこともできる。これは、最初のキャップ層の表面付近にGeが拡散していることがあるからである。

上記第1の半導体装置の製造方法において、上記工程(c)における温度が700℃以上で750℃未満の場合、上記工程(b)では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さW(nm)と熱処理時間t(min)とが下記式

$$W \geq 0.017 \times t$$

の関係を満たすように形成することが好ましい。

上記第1の半導体装置の製造方法において、上記工程(c)における温度が750℃以上で820℃未満の場合、上記工程(b)では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さW(nm)と熱処理時間t(min)とが下記式

$$W \geq 0.046 \times t$$

の関係を満たすように形成することが好ましい。

上記第1の半導体装置の製造方法において、上記工程(c)における温度が8

20℃以上の場合、上記工程（b）では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さ W （nm）と熱処理時間 t （min）とが下記式

$$W \geq 0.063 \times t$$

の関係を満たすように形成することが好ましい。

本発明の第2の半導体装置の製造方法は、Geを含む半導体膜を有するウェハーとGeを含む半導体膜のないウェハーとを処理する共用の製造ラインを用いた、Geを含む半導体膜を有する半導体装置の製造方法であって、上記Geを含む半導体膜を実質的に露出させる処理を行なう工程（a）と、上記工程（a）の後、上記共用の製造ラインとは別の製造ラインで上記Geを含む半導体膜を有するウェハーを700℃以上の温度で処理する工程（b）とを含んでいる。

この方法により、共用の製造ラインでは、700℃以上の温度で処理することがないので、共用の製造ラインにおいて空中にGeが飛散するわけではない。したがって、共用の製造ラインでGeを含む半導体膜を有していないウェハーを処理する際に、当該ウェハーの活性領域内にGeが侵入することに起因するクロスコンタミネーションを抑制することができる。

上記第2の半導体装置の製造方法において、上記工程（b）の後、上記Geを含む半導体膜の上にGeの空中への飛散を阻止する機能を有するキャップ層を形成する工程（c）をさらに含むことにより、Geのほとんど拡散していないキャップ層を設けた状態でその後の処理が行なわれるので、より確実にクロスコンタミネーションを抑制することができる。

上記第1又は第2の半導体装置の製造方法において、上記Geを含む半導体膜は、SiGe、SiGeC、GeC、Geのうち少なくともいずれか1つにより構成されていることが好ましい。

上記第1又は第2の半導体装置の製造方法において、上記キャップ層は、シリコン、酸化シリコン、窒化シリコン及び酸窒化シリコンのうち少なくともいずれか1つにより構成されていることが好ましい。

図面の簡単な説明

図1(a)～(i)は、昇温中の飛行時間のスペクトル(TOFスペクトル)の変化を示す図である。

図2(a)、(b)は、それぞれ熱処理前と上述の熱処理後における基板の表面層(Siキャップ層)の組成を、低速イオン散乱法により分析した結果を示すTOFスペクトル図である。

図3(a)～(c)は、共用ラインを用いた半導体装置の製造工程において、700℃以上の高温にさらす処理(高温処理)を行なう工程が入る場合のプロセス制御の例を示すフロー図である。

図4(a)～(f)は、チャネル領域がGeを含む半導体層によって構成されているHCMOSデバイスの製造工程の第1の具体例を示す断面図である。

図5(a)～(d)は、チャネル領域がGeを含む半導体層によって構成されているHCMOSデバイスの製造工程の第2の具体例を示す断面図である。

図6(a)～(k)は、ベース層がSiGeによって構成されているHBTの製造工程の例を示す断面図である。

図7は、ベース層がSiGeによって構成されているHBTを備えたBiCMOSデバイスの製造工程のうちSiGe層を形成するまでの工程を示す断面図である。

図8は、ベース層がSiGeによって構成されているHBTを備えたBiCMOSデバイスの製造工程のうちエミッタ開口部を形成するまでの工程を示す断面図である。

図9は、ベース層がSiGeによって構成されているHBTを備えたBiCMOSデバイスの製造工程のうちエミッタ電極、外部ベース電極などを形成するまでの工程を示す断面図である。

最良の実施形態

ークロスコンタミネーションの発生条件の解明ー

まず、クロスコンタミネーションが生じる条件を把握した過程について説明する。

SiGe層を含む例えばHBT（ヘテロバイポーラトランジスタ）をCMOSプロセスの製造ラインを用いて形成したときの状況から、クロスコンタミネーションの原因としてもっとも疑わしいのは、SiGeを含むデバイスの熱処理時にGeが空中に拡散することであると考えられた。そこで、クロスコンタミネーションが生じる熱処理条件を把握するために以下の実験を行なった。

まず、(001) Si基板（主面が(001)面であるSi基板）に、UHV-CVD法を用いて、Geの含有比が15%であるSiGe層（Si_{0.85}Ge_{0.15}層）を成長させた。このサンプルを基板加熱機構を有する低速イオン散乱分析装置に導入し、熱処理中のSiGe層の表面からGeが放出される度合いを調べるために、低速イオン散乱法によるその場観察を行った。基板の加熱はグラフィットヒータにより行い、昇温・降温速度は20℃/min、熱処理温度は室温～900℃とした。

図1(a)～(i)は、昇温中の飛行時間のスペクトル（TOFスペクトル）の変化を示す図である。図1の右上に示すように、基板表面にヘリウムイオン（He⁺）を打ち込むと、表面原子（質量M）と衝突したヘリウムイオン（質量m）の一部は、入射方向に対して180°方向に散乱される。この場合、試料表面から検出器までの散乱イオンの飛行時間は、(M+m)/(M-m)に比例する。そこで、飛行時間に対するスペクトル（TOFスペクトル）を測定すると、そのスペクトル中のピーク値を与える元素はわかるので、基板表面に含まれる元素を特定することができる。ここでは、He⁺を加速エネルギー3keVで基板に打ち込んだ。

図1(a)に示すように、熱処理前（つまり室温22℃）の基板についてのTOFスペクトル(a)には、SiGe層表面に存在するSi原子とGe原子に対応する散乱ピークがそれぞれ6400ns付近と5800ns付近に見られた。

図1(b)～(e)に示すように、基板温度を700℃まで上げて、TOFスペクトルの形状に大きな変化は見られなかった。

図1(f)～(h)に示すように、さらに基板温度を上げて、750℃で保持すると、時間とともにGe原子に対応するTOFスペクトル中のピーク強度が次

第に減少している。

そして、図1(i)に示すように、60min保持後のTOFスペクトルにおいては、Ge原子に相当する散乱ピークがほとんど見られなくなった。このことから、750℃の熱処理により、SiGe層の表面からGeが放出されてしまったことが分かる。

以上の結果から、ある製造ラインで表面にSiGe層が露出している基板を700℃以上の温度で熱処理すると、同じ製造ラインを用いて形成されるSiデバイス中にクロスコンタミネーションが発生する可能性があることがわかった。

ークロスコンタミネーション防止のためのキャップ層ー

一方、SiGe層を有するウエハについて700℃の熱処理を行わずに済ませることは現実には困難であることから、SiGe層などのGeを含む領域が露出しているウエハを700℃以上の温度で熱処理する場合には、クロスコンタミネーションを防止する1つの手段として、SiGe層などの上にGeの空中拡散を防止するためのキャップ層を設けることが有効と考えられる。そこで、CMOSデバイス等の製造ラインにおいて害を及ぼさない材料であって、SiGe層の上にそのまま残存させても害を及ぼさないか、あるいは、後に除去が容易な材料からなるキャップ層を設けるための実験を行なった。このようなキャップ層として機能しうる層としては、Si層（単結晶シリコン層、ポリシリコン層又はアモルファスシリコン層）、SiO₂層、Si₃N₄層、SiON層（いわゆる酸窒化膜）、及びこれらの積層膜などがある。

そこで、もっとも汎用性のあるキャップ層として、Si層を選び、Si層の厚みがどの程度であれば、Geの空中拡散を防止できるかを調べた。

まず、UHV-CVD法を用いて、(001)Si基板上に、Geの含有比が15%であるSiGe層（Si_{0.85}Ge_{0.15}層）を成長させた後、さらに、SiGe層の上に厚みが10nmのSi層からなるキャップ層を成長させた。つまり、SiGe層をSi層によって被覆したサンプルを形成した。そして、このサンプルに対して、750℃の熱処理を30分間加えた。

図2(a)、(b)は、それぞれ熱処理前と上述の熱処理後とにおける基板の

表面層（Si キャップ層）の組成を、低速イオン散乱法により分析した結果を示すTOF スペクトル図である。図2（a）に示されるように、熱処理前のTOF スペクトルであるが、表面がSiで覆われているため、Geの信号は検出されず、Siの信号のみが測定された。一方、図2（b）に示されるように、750℃の熱処理を行なった後においても、Siの信号しか測定されず、Si キャップ層の最表面へのSiGe層からのGe原子の拡散はみられなかった。したがって、このサンプルからのGe放出量は、SiGe層が露出している場合に比べ、非常に少ないことが分かった。この結果は、SiGe層をSi層で被覆することが、クロスコンタミネーションを防止する効果があることを示している。

上述の実験だけでは、実際にどの程度の厚みのSi キャップ層を設ければよいのかはわからないが、さらに、実験を行なった結果、クロスコンタミネーションを防止するために必要となるSi層の厚みは、熱処理温度と熱処理時間によって変化することがわかった。

そこで、（001）Si基板上に、Geの含有比が15%であるSiGe層（Si_{0.85}Ge_{0.15}層）と、厚みが10nmのSiキャップ層とを積層したサンプルに対して種々の条件で熱処理を行なうとともに、各種の熱処理を施したサンプルに対する低速イオン散乱法による分析を行なうことにより、GeのSi層中への拡散速度を実験的に算出した。

その結果、熱処理温度700℃、750℃、820℃におけるGeのSi層中への拡散速度は、それぞれ、0.017nm/min、0.046nm/min、0.063nm/minであることが明らかになった。

一方、ウェハーをこのような高温にさらす処理には、アニール（熱処理）だけでなくCVDなどの高温下で行なう必要がある処理がある。そこで、この明細書においては、このような高温下で行なう処理を“高温処理”と総称する。そして、高温処理温度の範囲によって、高温処理時間t（min）に対するSiキャップ層の厚みW（nm）を以下のように設定すれば、クロスコンタミネーションを防止しうることがわかる。

① 高温処理温度が700℃以上で750℃未満の場合

$$W \geq 0.017 \times t$$

- ② 高温処理温度が 750°C 以上で 820°C 未満の場合

$$W \geq 0.046 \times t$$

- ③ 高温処理温度が 820°C 以上の場合

$$W \geq 0.063 \times t$$

なお、SiGe層、Ge層、Ge層などが露出する場合にも、キャップ層の材質や、高温処理時間に対する厚みなどについて、上述のような条件をほぼ適用することができる。

—クロスコンタミネーション回避のためのプロセス—

次に、上述のクロスコンタミネーションの発生条件の解明に基づき、クロスコンタミネーション防止のためのキャップ層の形成などを含めてプロセス制御をどのように行なうべきかについて説明する。

一般に、SiGe層を含むデバイスを製造するための専用ラインを、全工程に亘って設けることは莫大な投資を必要とするので、現実的でない。そこで、ここでは、通常のCMOSデバイス用の製造ラインを共用ラインとして用いるとともに、SiGe層を含むデバイスのための別ラインとして、局部的に限定された工程のみを処理するための製造ラインを設けた場合のプロセスの制御（管理）方法について説明する。

図3(a)～(c)は、共用ラインを用いた半導体装置の製造工程において、 700°C 以上の高温にさらす処理（高温処理）を行なう工程が入る場合のプロセス制御の例を示すフロー図である。

図3(a)～(c)のいずれの場合においても、共用ラインにおいて 700°C 以上の高温処理を行なう前に、ウェハ上に表面が実質的に露出しているSiGe層があるか否かを判断し、表面に露出しているSiGe層がない場合には、そのまま共用ラインで 700°C 以上の高温処理を行なう。ただし、SiGe層の上にGeの空中への飛散を阻止し得ない程度に薄い酸化膜、窒化膜、Si層のみがある場合も、このような酸化膜、窒化膜、Si層などは本発明にいうキャップ層としての機能を保持していないので、SiGe層が実質的に露出していると判断する。

図3(a)に示す例では、ウェハ内のSiGe層が実質的に露出している場合

には、ウエハを共用ラインから外して別ラインに移し（あるいは共用ラインにおいて）、SiGe層をSi層などのキャップ層で被覆してから、共用ラインに戻し、700℃以上の高温処理を行なった後、その後の工程を進める。この方法によって、共用ラインにおいて700℃以上の高温処理を行なっても、キャップ層の存在により共用ライン内におけるGeの空中への飛散を阻止することができる。したがって、クロスコンタミネーションを防止することができる。キャップ層を形成する際に700℃以上の高温に保持することがない場合には、キャップ層を共用ラインで形成してもよい。

図3(b)に示す例では、ウエハ内のSiGe層が実質的に露出している場合には、ウエハを共用ラインから外して別ラインに移し、別ラインでSiGe層をSi層などのキャップ層で被覆してから、別ラインで700℃以上の高温を伴う処理を行なった後、共用ラインに戻して、その後の工程を進める。一方、ウエハ内のSiGe層が実質的に露出していない場合には、共用ラインで700℃以上の高温処理を行なって、その後の工程を進める。この方法によって、ウエハ内のSiGe層が実質的に露出している場合には、共用ラインにおいて700℃以上の高温処理を行なうことがないので、共用ライン内におけるGeの空中への飛散が生じることがない。したがって、クロスコンタミネーションを防止することができる。なお、700℃以上の高温処理を共用ラインで行なうこともできる。

また、図3(a)又は(b)に示す方法において、700℃以上の高温処理を行ってから、さらにキャップ層の上に別のキャップ層を共用ライン又は別ラインで形成してもよい。700℃以上の高温処理において、最初に形成したキャップ層の表面付近までGeが拡散してきている場合もあり得るからである。この場合、2層のキャップ層が積層されることになるが、キャップ層の厚みが厚くてもその後の工程で不具合が生じなければかまわない。

図3(c)に示す例では、ウエハ内のSiGe層が実質的に露出している場合には、ウエハを共用ラインから外して別ラインに移し、別ラインで700℃以上の高温処理を行ってから、別ラインでSiGe層をSi層などのキャップ層で被覆した後、共用ラインに戻して、その後の工程を進める。一方、ウエハ内のSiGe層が実質的に露出していない場合には、共用ラインで700℃以上の高温

処理を行なって、その後の工程を進める。この方法によって、ウエハ内のSiGe層が実質的に露出している場合には、共用ラインにおいて700℃以上の高温処理を行なうことがないので、共用ライン内におけるGeの空中への飛散が生じることがない。したがって、クロスコンタミネーションを防止することができる。しかも、この例においては、キャップ層は700℃の高温処理を行なう工程を経っていないので、キャップ層内にはGeはほとんど拡散していない。したがって、その後の工程によってキャップ層から空中にGeが飛散するのをより確実に抑制することができる。ただし、このキャップ層を形成する工程が700℃以上の高温下の処理でない場合（低温下でのCVD法など）には、キャップ層を形成する工程を共用ラインで行なってもよい。

なお、図3(a)～(c)に示す工程の前あるいは後において、700℃以上の高温処理を行なう工程が入る場合にも、図3(a)～(c)のいずれかのプロセス制御を行なうことにより、Geが共用ラインの装置内に飛散することによる不具合を防止することができる。

－HCMOSデバイスの製造工程の例－

第1の具体例

次に、HCMOSデバイス（Heterostructure CMOSデバイス）の製造工程において、クロスコンタミネーションを回避するための処理を具体的にどのように行なうかについて説明する。図4(a)～(f)は、チャネル領域がGeを含む半導体層によって構成されているHCMOSデバイスの製造工程の第1の具体例を示す断面図である。

まず、図4(a)に示す工程で、Si基板10にpウェル11、nウェル12をイオン注入により形成する。この工程は、通常のCMOSデバイスを形成するラインつまり共用ラインで行なわれる。

次に、図4(b)に示す工程で、各ウェル11、12上に、UHV-CVD法によりδドープ層を含むSi層13と、SiGeC層14（Ge：8.2%、C：1%）と、SiGe層15と、Si層17とをそれぞれ成長させる。このSi層17は、後の工程でSiGe層15が実質的に露出するのを防ぐために、例え

ば上記①～③のいずれかを満たす厚みである。

なお、Si層13の上端付近には高濃度の不純物を含む δ ドープ層（キャリア供給層）が形成されており、Si層13とSiGeC層14との間には不純物を含まないSiGe層からなるスペーサー層も形成されているが、見やすくするためにこれらの層の図示は省略されている。図4（b）に示す工程は、共用ラインとは別に設けられた専用の別ラインで行なわれる。

ただし、 δ ドープ層を含むSi層13を形成する工程は共用ラインで行ない、スペーサー層、SiGeC層14、SiGe層15及びSi層16を形成する工程を別ラインで行なうようにしてもよい。

次に、MOSトランジスタ、NMOSトランジスタとを電氣的に分離するために、トレンチ分離用の溝を形成する。その際、基板上に、パッド酸化膜31と窒化膜32とを順次堆積した後、フォトリソグラフィ及びエッチングによって、窒化膜32、パッド酸化膜31の一部（溝形成領域）に開口部を有する形状にパターンニングした後、窒化膜32をマスクとして、下方のSi層17、SiGe層15、SiGeC層14、Si層13などの一部をエッチングにより除去して、溝を形成する。このとき、溝の側面には、SiGeC層14やSiGe層15も露出することになる。

その後、図4（c）に示す工程で、この溝をシリコン酸化膜で埋めてトレンチ分離20を形成する。この工程は、基板上にシリコン酸化膜を堆積した後、CMPなどによって平坦化することにより行なわれる。なお、トレンチ埋め込み用のシリコン酸化膜を堆積する工程が700℃以下の低温下でのCVDなどによって行なわれる場合には、図4（b）、（c）に示す一連の工程をすべて共用ラインで行なうことも可能である。

以上のトレンチ分離20を形成する処理により、Si層13、SiGeC層14、SiGe層15、Si層17が、各々NMOSトランジスタ側のSi層13_n、SiGeC層14_n、SiGe層15_n、Si層17_nと、PMOSトランジスタ側のSi層13_p、SiGeC層14_p、SiGe層15_p、Si層17_pとに分離される。さらに、窒化膜32、パッド酸化膜31を除去した後、Si層17_n、17_pの表面を酸化してゲート絶縁膜19_n、19_pをそれぞれ形成

する。この工程は共用ラインで行なわれる。そのために、図4(b)に示す工程で形成されるSi層17の膜厚は、熱酸化による厚みの目減り分も考慮して、上記①～③のいずれかを満たす厚みになっている。

次に、図4(d)に示す工程で、基板の全面上にポリシリコン膜を堆積した後、これをパターニングしてNMOSトランジスタ及びPMOSトランジスタの各ゲート絶縁膜19n、19pの上にゲート電極18n、18pをそれぞれ形成する。その後、各ゲート電極18n、18pをマスクとして、NMOSトランジスタ側には、リンイオン(P⁺)の注入により、ソース・ドレイン領域16nを形成し、PMOSトランジスタ側には、ボロンイオン(B⁺)の注入により、ソース・ドレイン領域16pをそれぞれ形成する。NMOSトランジスタのソース・ドレイン領域16nの深さは少なくともSiGeC層14n内のキャリア蓄積層よりも深ければよく、PMOSトランジスタのソース・ドレイン領域16pの深さは、少なくともSiGe層15p内のキャリア蓄積層よりも深ければよい。これは、SiGeC層14n、SiGe層15p内の各キャリア蓄積層にチャネルが形成されるためである。

次に、図4(e)に示す工程で、ゲート絶縁膜19n、19pのうちソース・ドレイン領域16n、16pの上方の部分に開口を形成し、図4(f)に示す工程で、ゲート絶縁膜19n、19pの開口に、ソース・ドレイン電極21n、21pをそれぞれ形成する。このとき、ソース・ドレイン電極21n、21pを形成する工程が700℃以上の高温処理を伴うのが一般的である(一般的には、800～1000℃)。ところが、ゲート絶縁膜19n、19pのうちソース・ドレイン領域16n、16pの上方の部分に開口を形成する際に、オーバーエッチングによってSi層17n、17pの厚みが薄くなり、ソース・ドレイン領域16n、16p内のSiGe層15n、15pから空中へのGeの飛散が生じるおそれもある。そこで、ソース・ドレイン電極を形成する工程を共用ラインとは別のラインで行なうことが好ましい。ただし、CMOSデバイスの製造工程において、ソース・ドレイン電極を形成する工程で、Geが活性領域のSi層内に侵入する状態になっていることがなければ、ソース・ドレイン電極を形成する工程を共用ラインで行なってもよい。

これにより、Si基板10の上にNMOSトランジスタ、PMOSトランジスタからなるHCMOSデバイスが形成される。

第2の具体例

図5(a)～(d)は、チャネル領域がGeを含む半導体層によって構成されているHCMOSデバイスの製造工程の第2の具体例を示す断面図である。

まず、図5(a)に示す工程で、Si基板10にpウェル11、nウェル12をイオン注入により形成する。この工程は、通常のCMOSデバイスを形成するラインつまり共用ラインで行なわれる。

次に、図5(b)に示す工程で、各ウェル11、12上に、UHV-CVD法により δ ドープ層を含むSi層13と、SiGeC層14(Ge:8.2%、C:1%)と、SiGe層15と、Si層17とをそれぞれ成長させる。このSi層17は、後の工程でSiGe層15が実質的に露出するのを防ぐために、例えば上記①～③のいずれかを満たす厚みである。

なお、Si層13の上端付近には高濃度の不純物を含む δ ドープ層(キャリア供給層)が形成されており、Si層13とSiGeC層14との間には不純物を含まないSiGe層からなるスペーサー層も形成されているが、見やすくするためにこれらの層の図示は省略されている。ここまでの工程におけるプロセス制御は第1の具体例と同様に行なわれる。

次に、PMOSトランジスタ、NMOSトランジスタとを電気的に分離するために、トレンチ分離用の溝を形成する。その際、基板上に、パッド酸化膜31と窒化膜32とを順次堆積した後、フォトリソグラフィー及びエッチングによって、窒化膜32、パッド酸化膜31の一部(溝形成領域)に開口部を有する形状にパターニングした後、窒化膜32をマスクとして、下方のSi層17、SiGe層15、SiGeC層14、Si層13などの一部をエッチングにより除去して、溝を形成する。このとき、溝の側面には、SiGeC層14やSiGe層15も露出することになる。

次に、図5(c)に示す工程で、基板の全面上に、下敷き用窒化膜33を形成した後、基板の全面上に厚い埋め込み用ポリシリコン膜34を堆積する。このとき、下敷き用窒化膜33を形成する工程は、700～800℃程度の高温処理

を伴うのが一般的であるので、共用ラインとは別のラインで行なう。ただし、下敷き用窒化膜 33 は Ge の空中への飛散を阻止するキャップ層として機能するので、埋め込み用ポリシリコン膜 34 を堆積する工程は共用ラインで行なうことができる。なお、下敷き用窒化膜 33 に代えて酸化膜を設けてもよい。

その後、図 5 (d) に示す工程で、CMP などによって平坦化することにより、溝内にポリシリコンを埋め込んでなる素子分離 25 を形成する。なお、素子分離 25 の上部はポリシリコンが酸化されてなる厚めの酸化膜になっている。

以上のトレンチ分離 25 を形成する処理により、Si 層 13、SiGeC 層 14、SiGe 層 15、Si 層 17 が、各々 NMOS トランジスタ側の Si 層 13n、SiGeC 層 14n、SiGe 層 15n、Si 層 17n と、PMOS トランジスタ側の Si 層 13p、SiGeC 層 14p、SiGe 層 15p、Si 層 17p とに分離される。さらに、窒化膜 32、パッド酸化膜 31 を除去した後、Si 層 17n、17p の表面を酸化してゲート絶縁膜 19n、19p をそれぞれ形成する。この工程は共用ラインで行なわれる。そのために、図 5 (b) に示す工程で形成される Si 層 17 の膜厚は、熱酸化による厚みの目減り分も考慮して、上記①～③のいずれかを満たす厚みになっている。

その後の工程は、上記第 1 の具体例における図 4 (d) ～ (f) に示す工程と同じ処理を行なうので、工程の図示及び説明を省略する。

－ HBT の製造工程の例 －

次に、HBT (ヘテロバイポーラトランジスタ) の製造工程において、クロスコンタミネーションを回避するための処理を具体的にどのように行なうかについて説明する。図 6 (a) ～ (k) は、ベース層が SiGe によって構成されている HBT の製造工程の例を示す断面図である。

まず、図 6 (a) に示す工程で、Si 基板 41 内に高濃度の n 型不純物が注入されたサブコレクタ層 43a を形成した後、低濃度の n 型不純物を含む Si 単結晶膜をエピタキシャル成長させて、この Si 単結晶膜の上に第 1、第 2 活性領域 Rel、Re2 を囲む LOCOS 膜 42 を形成する。そして、エピタキシャル成長された Si 単結晶膜は、第 1 の活性領域 Rel では Si コレクタ層 43b となり、第

2の活性領域Re2ではコレクタウォール層43cとなっている。図6(a)に示す工程は、共用ラインで行なわれる。

次に、図6(b)に示す工程で、基板の全面上に、UHV-CVD法により、ボロンをドーピングした厚み約50nmのp型SiGe層44と、リンをドーピングした厚み約150nmのSi層45とを順次エピタキシャル成長により形成する。この時、SiGe層44及びSi層45は、シリコン表面が露出した部分の上では単結晶膜であり、LOCOS膜42の上には多結晶膜である。このとき、SiGe層44及びSi層44を形成する工程は、共用ラインとは別に設けられた専用の別ラインで行なわれる。その後、図6(e)に示す工程までは、別ラインで行なわれる。

次に、図6(c)に示す工程で、SiGe層44及びSi層45のうち活性ベース層と引き出しベース電極として機能する部分を残して、他の部分はドライエッチングによって除去する。

次に、図6(d)に示す工程で、基板の全面上に8%程度のボロンを含むBSG(Boron Silicate Glass)膜46を常圧CVD法により厚さ約200nmだけ堆積した後、フォトリソグラフィ工程及びドライエッチング工程により、BSG膜46をパターニングして、BSG膜46のうち第2の活性領域Re2の部分は全面的に除去する一方、BSG膜46のうち第1の活性領域Re1の上にエミッタ電極形成用の開口46aを形成する。

次に、図6(e)に示す工程で、CVD法により、基板の全面上に厚み約100nmの保護酸化膜47を堆積する。この保護酸化膜47は次工程でのBSG膜46からのボロン拡散の際に、BSG膜46から気相中にボロンが抜け出し、シリコン表面が露出した部分に付着して、基板内に拡散することを防止する働きをする。また、保護酸化膜47が形成された後は、700℃以上の高温下での処理が行なわれても、保護酸化膜47によってGeが空中に飛散するのが阻止されるので、この後の処理は共用ラインで行なわれる。

次に、図6(f)に示す工程で、RTA(Rapid Thermal Anneal)法により、950℃で10秒間の熱処理を行い、BSG膜46中のボロンをSi層45及びSiGe層44及びコレクタ層43b内に拡散させる。この工程により、n型の

S i 層 4 5 及び S i コレクタ層 4 3 b のうち B S G 膜 4 6 の下方に位置する部分 4 8 x, 4 8 z は p 型に反転し、S i G e 層 4 4 のうち B S G 膜 4 6 の下方に位置する部分 4 8 y は p 型不純物濃度がさらに濃くなって低抵抗化する。その結果、S i 層 4 5, S i G e 層 4 4 及びコレクタ層 4 3 b 内の各部分 4 8 x, 4 8 y, 4 8 z に亘る外部ベース層 4 8 b が形成される。また、S i 層 4 5 のうち B S G 膜 4 6 からの不純物が拡散していない部分つまり開口 4 6 a の下方の部分は n 型のままで S i エミッタ層 4 9 となる。

次に、図 6 (g) に示す工程で、異方性ドライエッチングにより、保護酸化膜 4 7 をエッチバックして、B S G 膜 4 6 の側面にサイドウォール 5 0 を形成する。このサイドウォール 5 0 は、後に形成される高濃度エミッタ層と外部ベース層との耐圧を十分に確保するためのものであると同時に、7 0 0 °C 以上の高温下における処理の際に、S i G e 層 4 4 の端部から G e が空中に飛散するのを阻止する機能を有する。

次に、図 6 (h) に示す工程で、エミッタ電極およびコレクタ電極となる高濃度にリンがドーパされたポリシリコン膜を L P C V D 法により堆積した後、ドライエッチングにより、このポリシリコン膜をパターニングして、第 1 の活性領域 R e 1 上にはエミッタ電極 5 1 を、第 2 の活性領域 R e 2 上にはコレクタ電極 5 2 をそれぞれ形成する。

次に、図 6 (i) に示す工程で、C V D 法により、酸化シリコンからなる層間絶縁膜 5 3 を堆積する。

次に、図 6 (j) に示す工程で、熱処理により、エミッタ電極 5 1 から S i エミッタ層 4 9 にリンを拡散させて高濃度エミッタ層 4 9 a を形成するとともに、コレクタ電極 5 2 からコレクタウォール層 4 3 c 内にリンを拡散させてコレクタコンタクト層 5 4 を形成する。

次に、図 6 (k) に示す工程で、ドライエッチングにより、層間絶縁膜 5 3 にエミッタ電極 5 1, S i 層 4 5 及びコレクタ電極 5 2 にそれぞれ到達するコンタクトホールを形成した後、各コンタクトホール内及び層間絶縁膜 5 3 の上に亘って、A l 配線 5 6, 5 7, 5 8 を形成する。

－ BiCMOS の製造工程の例 －

次に、HBT（ヘテロバイポーラトランジスタ）と通常のCMOSデバイスとを含むBiCMOSデバイスの製造工程において、クロスコンタミネーションを回避するための処理を具体的にどのように行なうかについて説明する。図7～図9は、ベース層がSiGeによって構成されているHBTを備えたBiCMOSデバイスの製造工程の例を示す断面図である。

まず、図7に示す工程で、P型シリコン基板61の上に全面に亘って、N型エピタキシャル層62を形成した後、通常のLOCOS法を用いて、N型エピタキシャル層62に分離酸化膜63を形成して、P型シリコン基板61上においてバイポーラトランジスタ形成領域 R_{bp} とMOSトランジスタ形成領域 R_{mos} とを規定すると共に、MOSトランジスタ形成領域 R_{mos} においてPMOSFET形成領域 R_{pmos} とNMOSFET形成領域 R_{nmos} とを規定する。

なお、図示は省略しているが、N型エピタキシャル層62の上には保護酸化膜（図示省略）が形成されている。また、バイポーラトランジスタ形成領域 R_{bp} 及びPMOSFET形成領域 R_{pmos} にはN型埋め込み層64が形成されている。このとき、バイポーラトランジスタ形成領域 R_{bp} のN型エピタキシャル層62におけるN型埋め込み層64の上方がコレクタ領域62Aとなる。

次に、分離酸化膜63のうちコレクタ領域62Aを囲む部分の下にトレンチ溝65を形成した後、該トレンチ溝65にトレンチ側壁酸化膜66aを挟んで第1のポリシリコン膜66bを埋め込んで、トレンチ側壁酸化膜66a及び第1のポリシリコン膜66bからなるトレンチ分離66を形成すると共に、トレンチ分離66の下部の近傍に第1のチャネルストッパ層67を形成する。

なお、図示は省略しているが、トレンチ溝65を形成するとき、分離酸化膜63に開口部が形成される一方、トレンチ分離66の形成後にトレンチ分離66の上部に対してキャップ酸化を行なうことにより、開口部にキャップ酸化膜を形成して、キャップ酸化膜と分離酸化膜63とを一体化させることができる。また、図示は省略するが、図中左端のキャップ酸化膜の側方には、コレクタウォール領域、コレクタ電極が形成される。

次に、詳細な工程の説明は省略するが、PMOSFET形成領域 R_{pmos} には、

第1のしきい値制御層68、パンチスルーストップパ層69、第2のチャネルストップパ層70、N型ウェル層71、第1のゲート酸化膜75A、第1のゲート電極76A、第1のサイドウォール79、P型低濃度ソース・ドレイン層77、P型高濃度ソース・ドレイン層80を形成する。また、NMOSFET形成領域 R_{nm} には、第2のしきい値制御層72、第3のチャネルストップパ層73、P型ウェル層74、第2のゲート酸化膜75B、第2のゲート電極76B、第1のサイドウォール79、N型低濃度ソース・ドレイン層78、N型高濃度ソース・ドレイン層81を形成する。

続いて、P型シリコン基板61の上に全面に亘って、第2のTEOS膜82を堆積させる。次に、バイポーラトランジスタ形成領域 R_{bp} の第2のTEOS膜82に開口部を、コレクタ領域62Aが露出するように形成した後、コレクタ領域62A及び第2のTEOS膜82の上に、ベース領域となるSiGe層84を、開口部が完全に埋まるようにエピタキシャル成長させる。このとき、NMOSFET及びPMOSFETの上方が第2のTEOS膜82によって覆われているので、その上にSiGe層84を形成する際にも、NMOSFET及びPMOSFETの活性領域へのGeのクロスコンタミネーションを確実に防止することができる。

次に、図8に示す工程において、SiGe層84の上に全面に亘って第3のTEOS膜85を堆積させた後、第3のTEOS膜85をパターンニングして、第3のTEOS膜85に、SiGe層84の外部ベース電極となる部分の上を開放するベース電極用コンタクト窓85aを形成する。続いて、第3のTEOS膜85をマスクとして、SiGe層84に対して、例えばボロンイオンを加速エネルギー40KeV、ドーズ量 1.0×10^{13} 個/cm²の条件でイオン注入する。このとき、注入された不純物をすぐに活性化するRTAなどを行なう場合には、共用ラインとは別に設けられた別のラインでRTAなどを行なう。

次に、P型シリコン基板61に対して、炉工程投入前の硫過水洗浄、及び過酸化水素水とアンモニア水との混合溶液によるボイル処理を順次行なった後、SiGe層84におけるベース電極用コンタクト窓85aに露出する部分の表面に存在している自然酸化膜（図示省略）をディップエッチにより完全に除去する。こ

れにより、自然酸化膜を確実に除去することができる。

次に、図 8 に示すように、ベース電極用コンタクト窓 85a を含む第 3 の T E O S 膜 85 の上に全面に亘って、外部ベース電極となるアモルファスシリコン膜 86 を、ベース電極用コンタクト窓 85a が完全に埋まるように、例えば 530 °C で成長させる。続いて、アモルファスシリコン膜 86 の全面に対して、例えばボロンイオンを加速エネルギー 8 K e V、ドーズ量 3.0×10^{15} 個 / cm^2 の条件でイオン注入する。

次に、アモルファスシリコン膜 86 の上に全面に亘って第 4 の T E O S 膜 87 を堆積させた後、第 4 の T E O S 膜 87 及び第 2 のアモルファスシリコン膜 86 をパターンニングして、アモルファスシリコン膜 86 及び第 4 の T E O S 膜 87 にエミッタ電極用開口窓 88 を形成する。

次に、エミッタ電極用開口窓 88 を含む第 4 の T E O S 膜 87 の上に全面に亘って第 5 の T E O S 膜 89 を堆積させて、第 5 の T E O S 膜 89 によりエミッタ電極用開口窓 88 の壁面を覆う。これにより、アモルファスシリコン膜 86 におけるエミッタ電極用開口窓 88 に露出する部分が、第 5 の T E O S 膜 89 により覆われる。続いて、第 5 の T E O S 膜 89 の上に全面に亘って、N 型不純物がドーパされた第 3 のポリシリコン膜を堆積させた後、第 3 のポリシリコン膜に対してドライエッチングによるエッチバックを行なって、エミッタ電極用開口窓 88 の壁面を覆う第 5 の T E O S 膜 89 の上に、第 3 のポリシリコン膜からなる第 2 のサイドウォール 90 を形成する。続いて、第 3 の T E O S 膜 85 における第 2 のサイドウォール 90 に囲まれている部分をウェットエッチングにより除去して、第 3 の T E O S 膜 85 にエミッタ電極用コンタクト窓 85b を形成する。

次に、基板上に、N 型不純物がドーパされた第 4 のポリシリコン膜を、エミッタ電極用コンタクト窓 85b 及びエミッタ電極用開口窓 88 が完全に埋まるように堆積させた後、第 4 のポリシリコン膜をパターンニングして、エミッタ電極 91 を形成する。

次に、フォトリソグラフィ及びドライエッチングにより、第 5 の T E O S 膜 89、第 4 の T E O S 膜 87、アモルファスシリコン膜 86、第 3 の T E O S 膜 85 および S i G e 層 84 に対して順次ドライエッチングを行なって、アモルフ

ァスシリコン膜 86 からなる外部ベース電極 86A を形成する。続いて、P 型シリコン基板 61 に対して、例えば 950℃、15 秒間の急速加熱処理 (RTA) を行なって、外部ベース電極 86A 等にイオン注入された不純物を活性化する。このとき、SiGe 層 84 の端面が露出しているので、共用ラインからはずれた別ラインで RTA を行なう。その後、共用ラインに戻って、周知の方法により、低温の CVD による層間絶縁膜の形成、コンタクトホール形成、配線の形成などを行なう。このプロセスの制御は、図 3 (c) におけるキャップ層の形成を省略したものに相当する。その場合、RTA の前に、第 5 の TEOS 膜 89、第 4 の TEOS 膜 87、アモルファスシリコン膜 86、第 3 の TEOS 膜 85 および SiGe 層 84 の側面上に、Ge の空中への飛散を防止するキャップ層として機能する酸化膜サイドウォール又は窒化膜サイドウォールを設けてもよい。これは、図 3 (b) に示すプロセス制御に相当する。

なお、RTA の前に、別ライン又は共用ラインにおいて、第 5 の TEOS 膜 89、第 4 の TEOS 膜 87、アモルファスシリコン膜 86、第 3 の TEOS 膜 85 および SiGe 層 84 の側面上に、Ge の空中への飛散を防止するキャップ層として機能する酸化膜サイドウォール又は窒化膜サイドウォールを設け、RTA を共用ラインで行なってもよい。これは、図 3 (a) に示すプロセス制御に相当する。

また、RTA を別ラインで行ない、その後、共用ライン又は別ラインで、第 5 の TEOS 膜 89、第 4 の TEOS 膜 87、アモルファスシリコン膜 86、第 3 の TEOS 膜 85 および SiGe 層 84 の側面上に、Ge の空中への飛散を防止するキャップ層として機能する酸化膜サイドウォール又は窒化膜サイドウォールを設けてから、その後の処理を共用ラインで行なってもよい。これは、図 3 (c) に示すプロセス制御に相当する。

上記各デバイスの製造工程の例では、主として SiGe 層を有するデバイスを製造する工程について説明したが、SiGeC 層、GeC 層、Ge 層などを有するデバイスを搭載したウェハを製造ラインに流す場合にも、SiGeC 層、GeC 層、Ge 層が実質的に露出している状態で高温下で処理するときには、上述

のようなプロセス制御を行なうことにより、Geが通常のCMOSデバイス等に侵入するというクロスコンタミネーションを防止することができる。

また、本発明は、SiGe層、SiGeC層、GeC層、Ge層などのGeを含む半導体層がすでに形成されたウェハーを購入して半導体デバイスを製造する場合にも適用しうることは言うまでもない。

産業上の利用可能性

本発明は、電子機器類に搭載される半導体デバイスのうち、特にGeを含む膜を一部に有するHBTやHCMOSなどの製造に利用することができる。

請求の範囲

1. Geを含む半導体膜を有するウェハーとGeを含む半導体膜のないウェハーとを処理する共用の製造ラインを用いた、Geを含む半導体膜を有する半導体装置の製造方法であって、

上記Geを含む半導体膜を実質的に露出させる処理を行なう工程(a)と、

上記工程(a)の後、上記Geを含む半導体膜の上にGeの空中への飛散を阻止する機能を有するキャップ層を形成する工程(b)と、

上記工程(b)の後、上記Geを含む半導体膜を有するウェハーを700℃以上の温度で処理する工程(c)とを含む半導体装置の製造方法。

2. 請求項1の半導体装置の製造方法において、

上記工程(b)を、上記共用の製造ラインとは別の製造ラインで行い、

上記工程(c)を上記共用の製造ラインで行なうことを特徴とする半導体装置の製造方法。

3. 請求項1の半導体装置の製造方法において、

上記工程(b)、(c)を、上記共用の製造ラインで行なうことを特徴とする半導体装置の製造方法。

4. 請求項1の半導体装置の製造方法において、

上記工程(b)、(c)を、上記共用の製造ラインとは別の製造ラインで行なうことを特徴とする半導体装置の製造方法。

5. 請求項1の半導体装置の製造方法において、

上記工程(c)の後、上記キャップ層の上に別のキャップ層を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

6. 請求項1～5のうちいずれか1つの半導体装置の製造方法において、

上記Geを含む半導体膜は、SiGe、SiGeC、GeC及びGeのうち少なくともいずれか1つにより構成されていることを特徴とする半導体装置の製造方法。

7. 請求項1～4のうちいずれか1つの半導体装置の製造方法において、

上記キャップ層は、シリコン、酸化シリコン、窒化シリコン及び酸窒化シリコンのうち少なくともいずれか1つにより構成されていることを特徴とする半導体装置の製造方法。

8. 請求項1～6のうちいずれか1つの半導体装置の製造方法において、

上記工程(c)における温度が700℃以上で750℃未満の場合、

上記工程(b)では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さW(nm)と熱処理時間t(min)とが下記式

$$W \geq 0.017 \times t$$

の関係を満たすように形成することを特徴とする半導体装置の製造方法。

9. 請求項1～6のうちいずれか1つの半導体装置の製造方法において、

上記工程(c)における温度が750℃以上で820℃未満の場合、

上記工程(b)では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さW(nm)と熱処理時間t(min)とが下記式

$$W \geq 0.046 \times t$$

の関係を満たすように形成することを特徴とする半導体装置の製造方法。

10. 請求項1～6のうちいずれか1つの半導体装置の製造方法において、

上記工程(c)における温度が820℃以上の場合、

上記工程(b)では、上記キャップ層をシリコンにより構成し、かつ、キャップ層を、その厚さW(nm)と熱処理時間t(min)とが下記式

$$W \geq 0.063 \times t$$

の関係を満たすように形成することを特徴とする半導体装置の製造方法。

11. Geを含む半導体膜を有するウェハーとGeを含む半導体膜のないウェハーとを処理する共用の製造ラインを用いた、Geを含む半導体膜を有する半導体装置の製造方法であって、

上記Geを含む半導体膜を実質的に露出させる処理を行なう工程(a)と、

上記工程(a)の後、上記共用の製造ラインとは別の製造ラインで上記Geを含む半導体膜を有するウェハーを700℃以上の温度で処理する工程(b)とを含む半導体装置の製造方法。

12. 請求項11の半導体装置の製造方法において、

上記工程(b)の後、上記Geを含む半導体膜の上にGeの空中への飛散を阻止する機能を有するキャップ層を形成する工程(c)をさらに含むことを特徴とする半導体装置の製造方法。

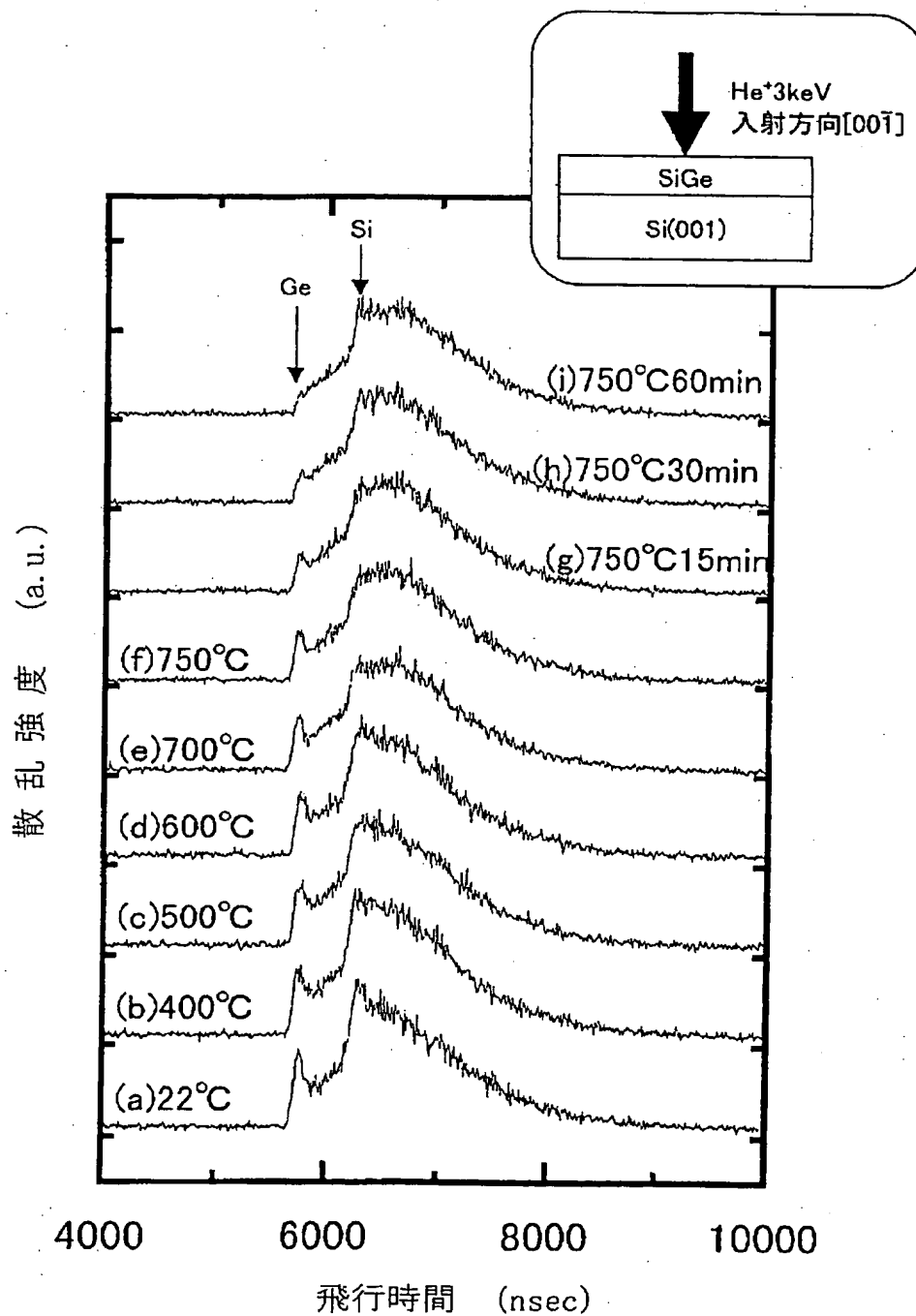
13. 請求項11又は12の半導体装置の製造方法において、

上記Geを含む半導体膜は、SiGe、SiGeC、GeC、Geのうち少なくともいずれか1つにより構成されていることを特徴とする半導体装置の製造方法。

14. 請求項12の半導体装置の製造方法において、

上記キャップ層は、シリコン、酸化シリコン、窒化シリコン及び酸窒化シリコンのうち少なくともいずれか1つにより構成されていることを特徴とする半導体装置の製造方法。

Fig. 1



2/9

Fig. 2(a)

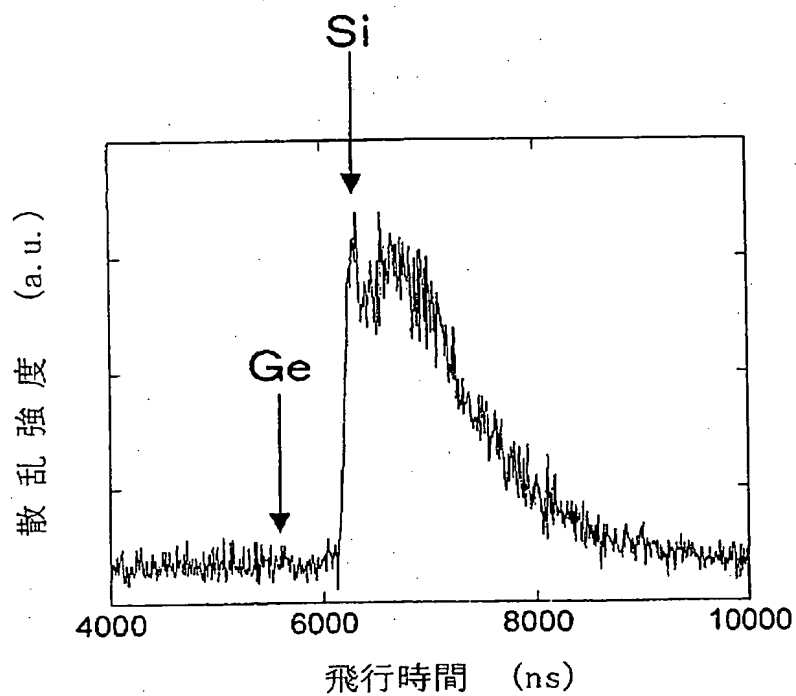


Fig. 2(b)

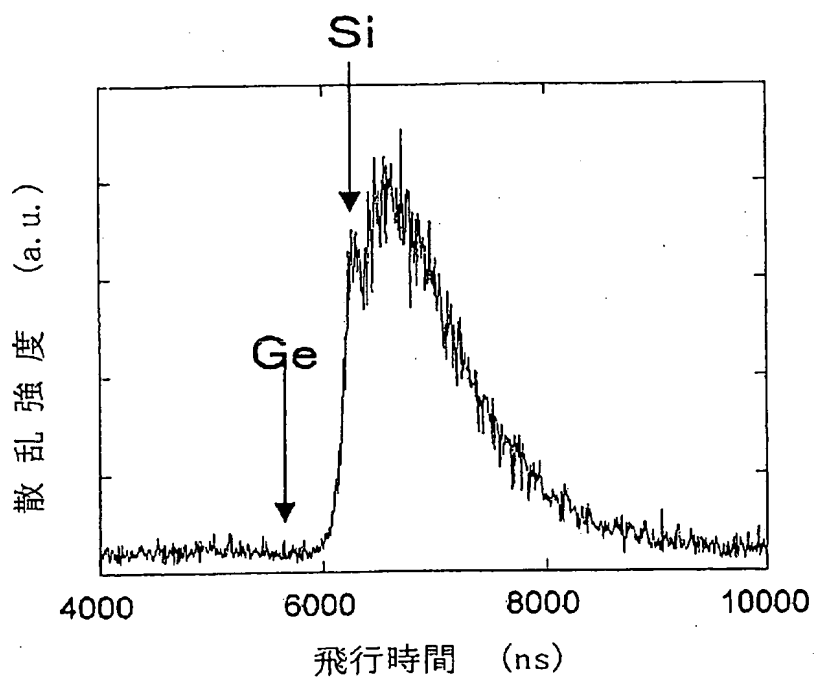


Fig. 3 (a)

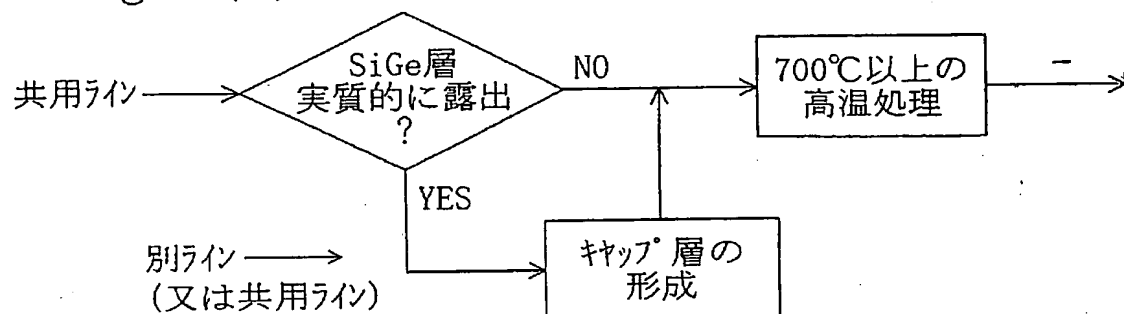


Fig. 3 (b)

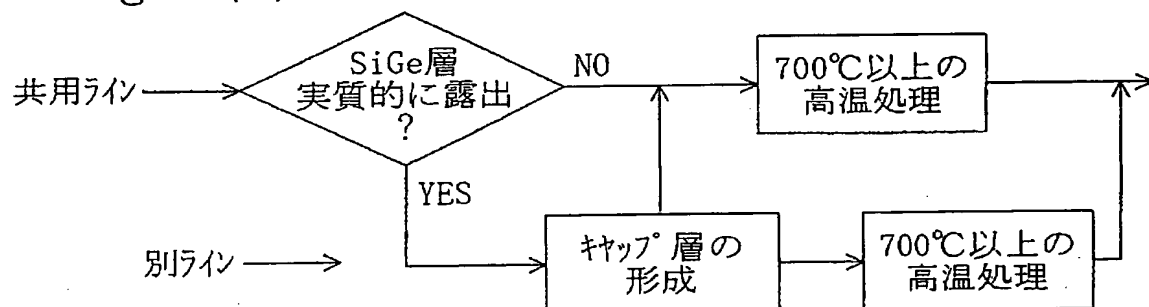
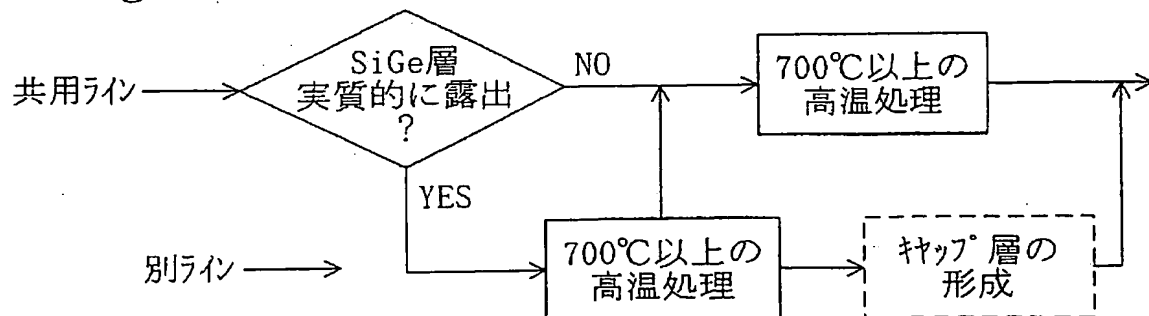
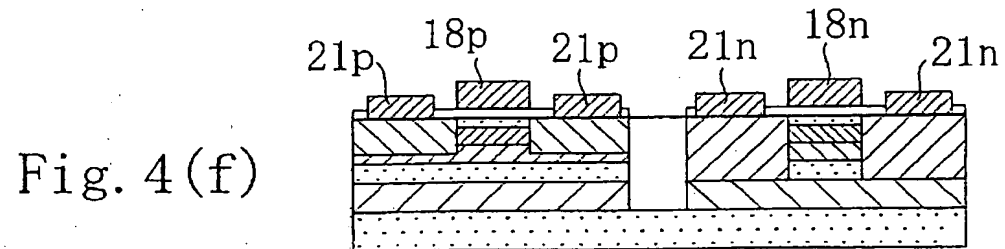
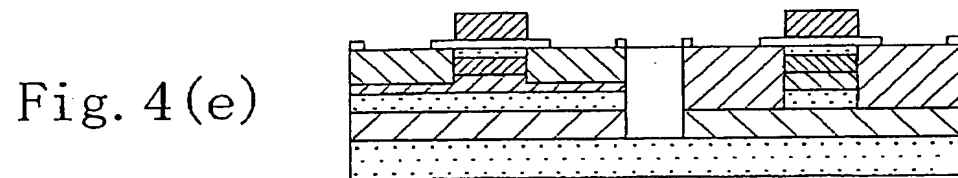
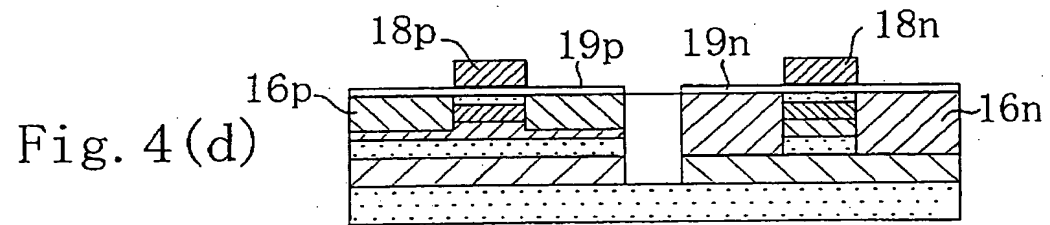
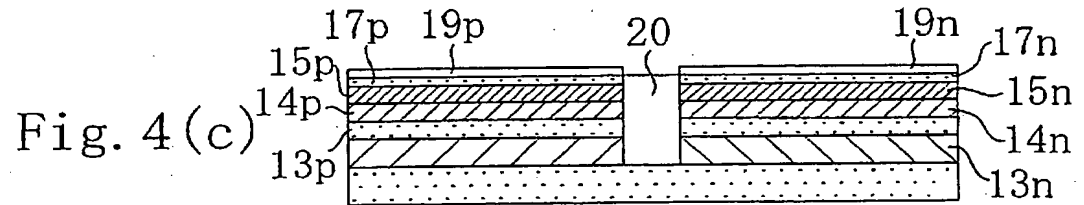
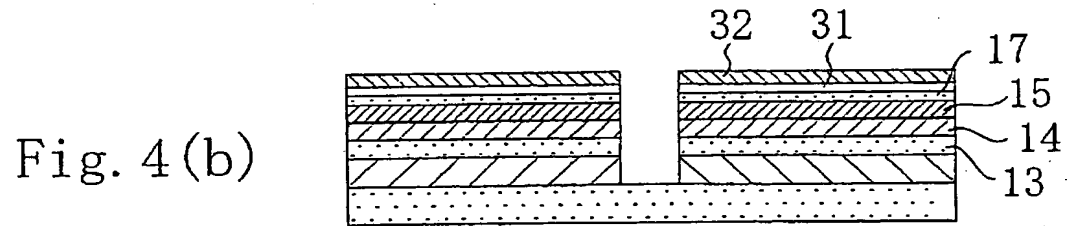
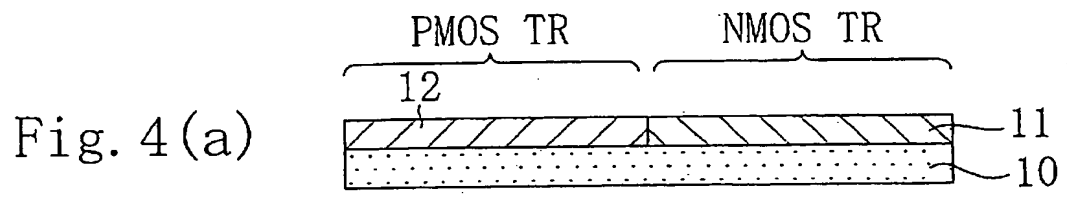
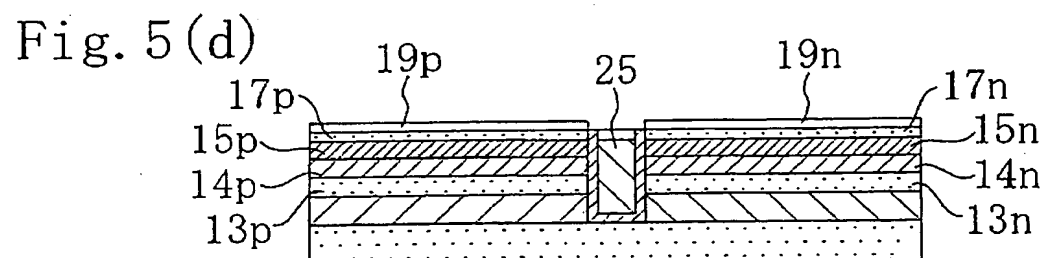
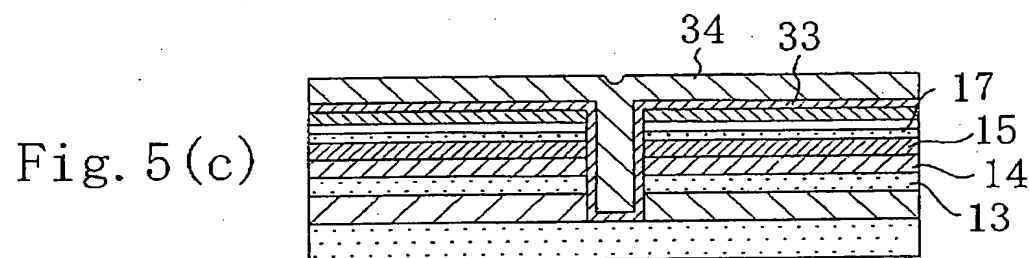
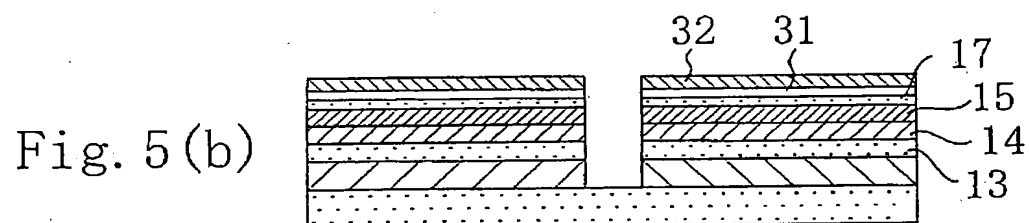
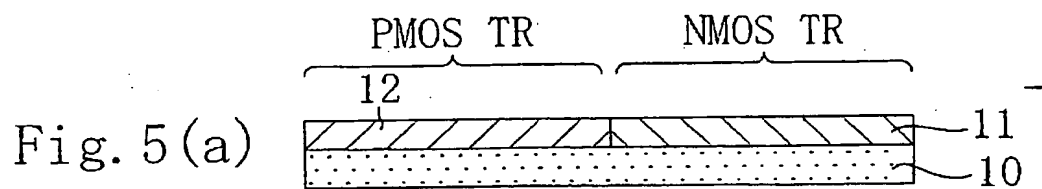


Fig. 3(c)



4/9





6/9

Fig. 6(a)

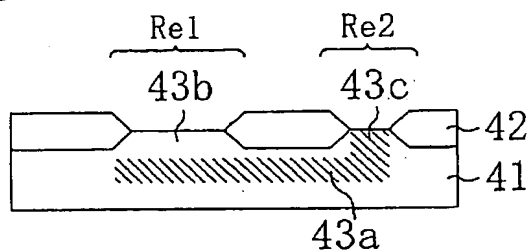


Fig. 6(g)

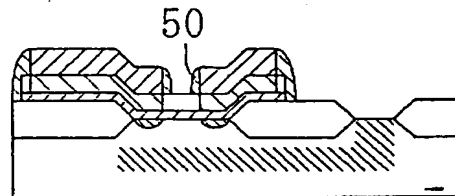


Fig. 6(b)

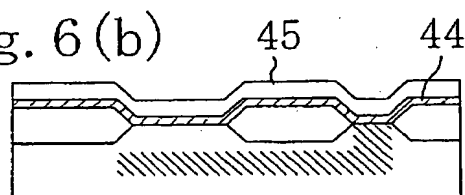


Fig. 6(h)

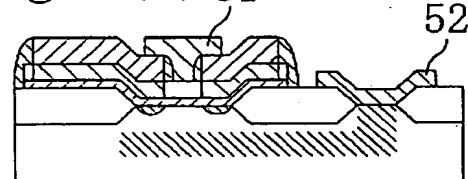


Fig. 6(c)

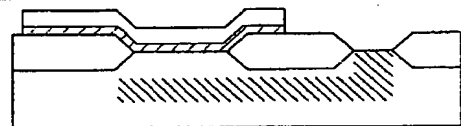


Fig. 6(i)

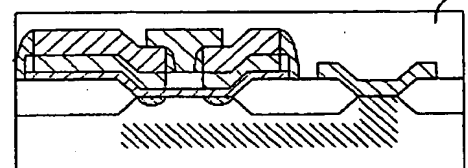


Fig. 6(d)

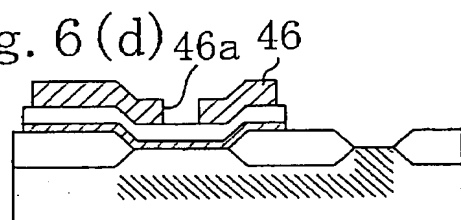


Fig. 6(j)

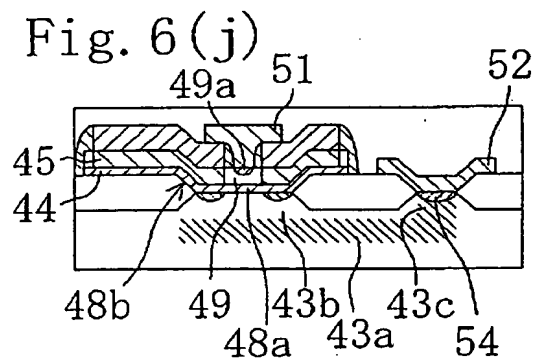


Fig. 6(e)

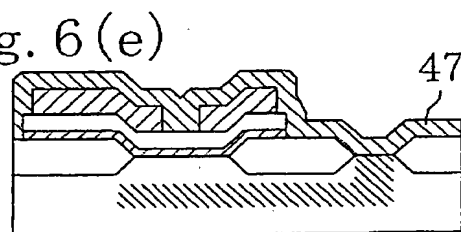


Fig. 6(k)

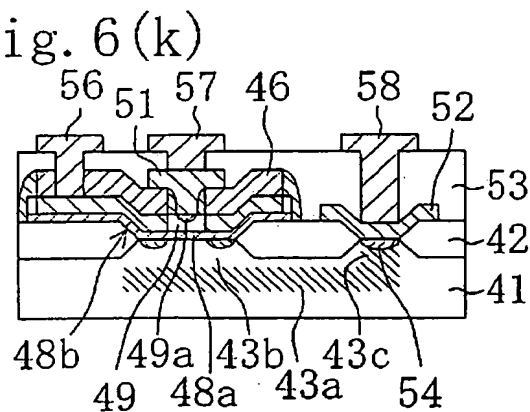


Fig. 6(f)

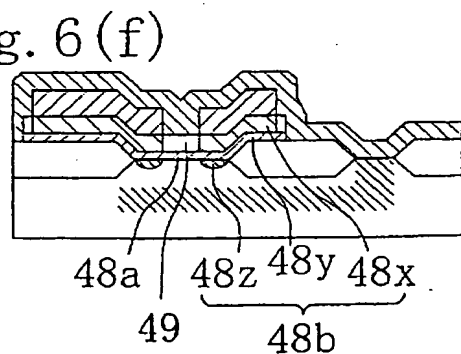


Fig. 8

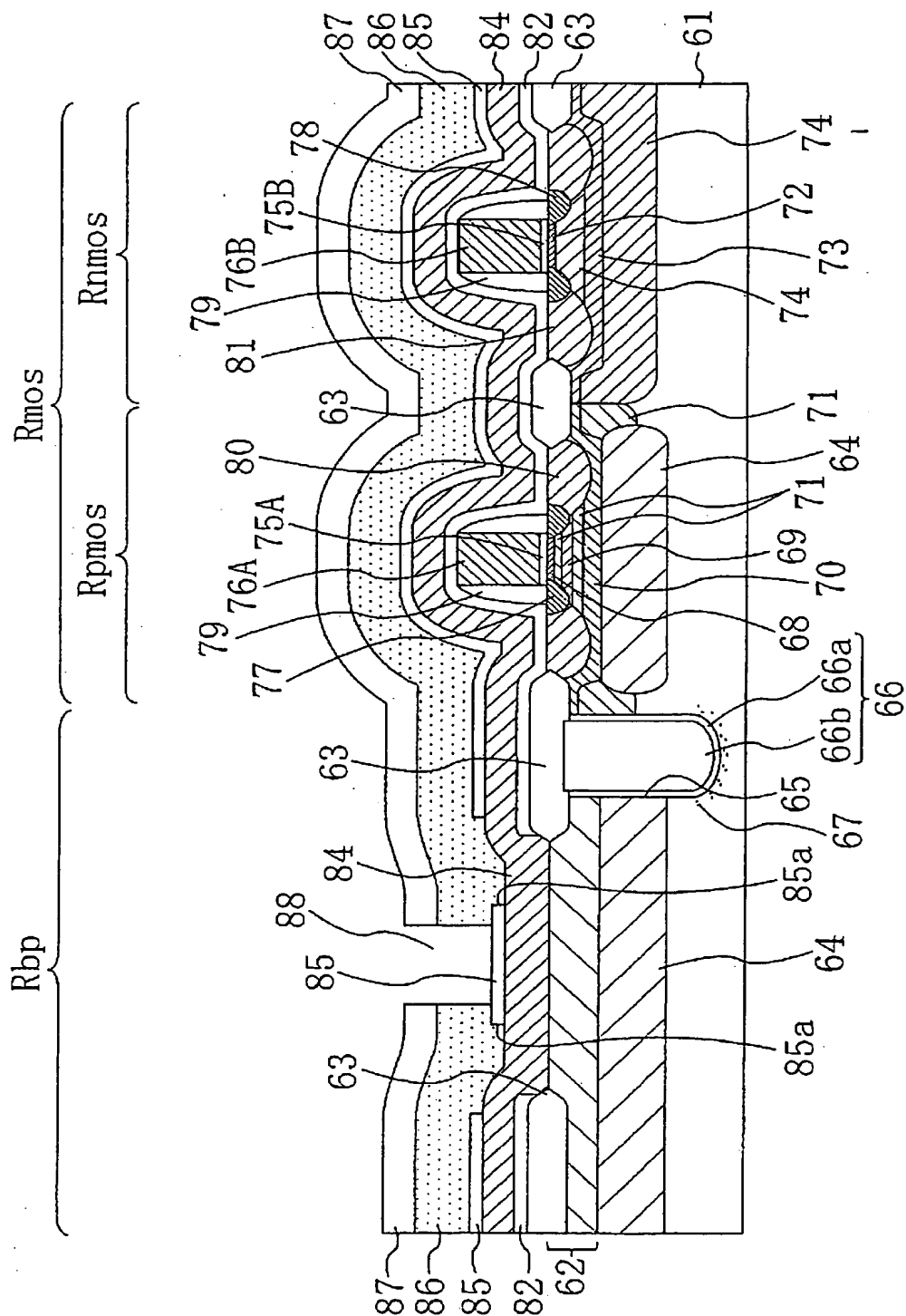
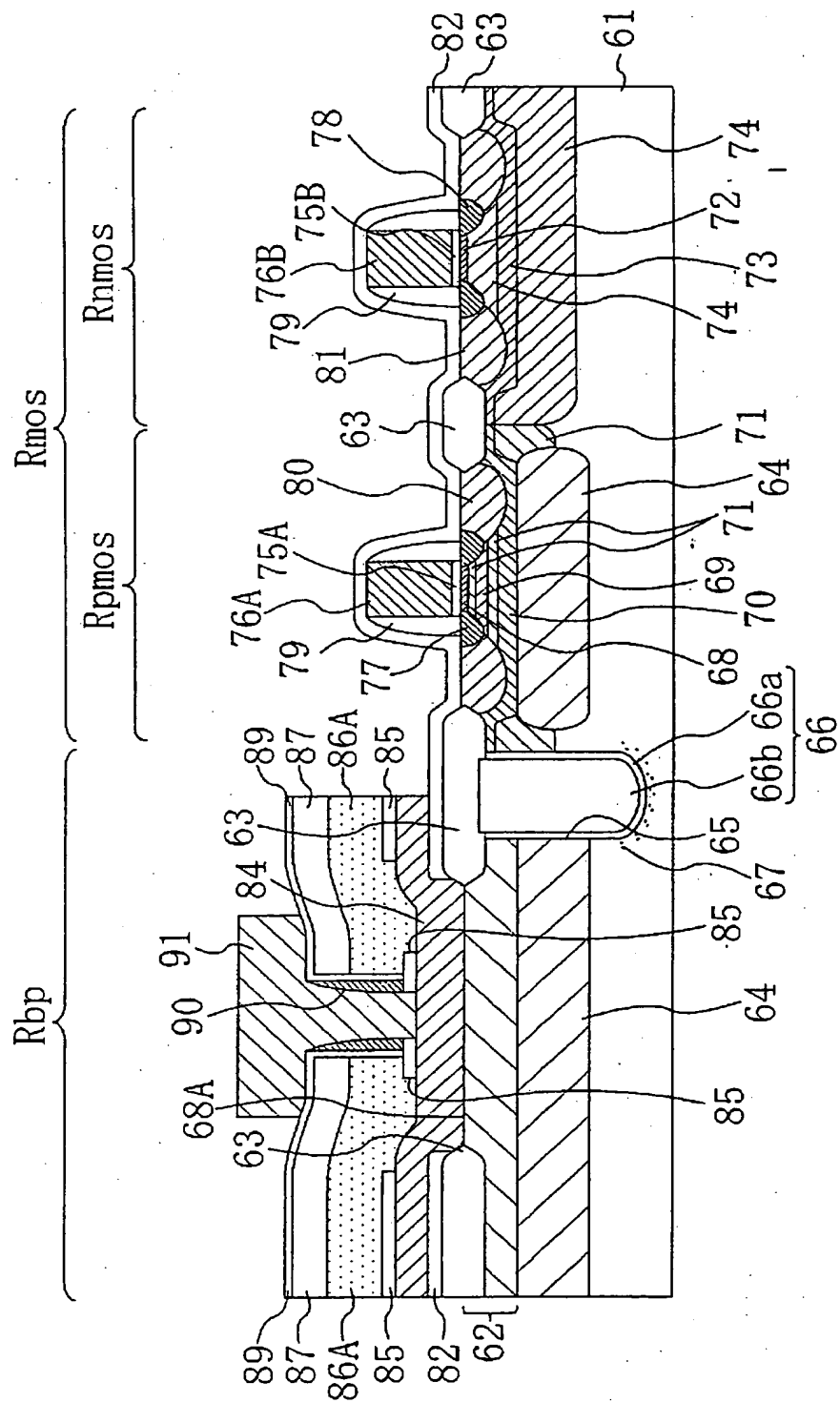


Fig. 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04962

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁶ H01L21/324

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ H01L21/26-H01L21/268, H01L21/324, H01L21/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-335539, A (Sony Corporation), 06 June, 1996 (06.06.96), Full text; Figs. 1-6 (Family: none)	1-14
Y	JP, 5-226620, A (Fujitsu Limited), 03 September, 1993 (03.09.93), Full text; Figs. 1-13 (Family: none)	1-14
Y	JP, 10-198403, A (Hitachi, Ltd.), 31 July, 1998 (31.07.98), Full text; Figs. 1-4 (Family: none)	1-14
Y	JP, 54-4065, A (Hitachi, Ltd.), 12 January, 1979 (12.01.79), Full text; Figs. 1-2 (Family: none)	1-10, 12-14
Y	JP, 7-321178, A (Hitachi, Ltd.), 08 December, 1995 (08.12.95), Par. Nos. [0021]-[0024]; Figs. 1-3 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
29 November, 1999 (29.11.99)Date of mailing of the international search report
14 December, 1999 (14.12.99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04962

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EY	JP, 11-283892, A (NEC Corporation), 15 October, 1999 (15.10.99), Full text; Figs. 1-14 (Family: none)	1-14
A	JP, 7-288238, A (Sony Corporation), 31 October, 1995 (31.10.95), Full text; Figs. 1-4 (Family: none)	1-14
A	C. A. KING, et al., "Si/Si1-xGex Heterojunction Bipolar Transistors Produced by Limited Reaction Processing", IEEE ELECTRON DEVICE LETTERS, 1989, vol. 10, No. 2, p. 52-54	1-14
A	WO, 92/20102, A1 (Massachusetts Institute of Technology), 12 November, 1992 (12.11.92), Full text; Figs. 1-9 & JP, 6-507274, A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/324

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/26-H01L21/268, H01L21/324, H01L21/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 8-335539, A (ソニー株式会社) 17. 12月. 1996 (06. 06. 96) 全文、第1-6図 (ファミリーなし)	1-14
Y	J P, 5-226620, A (富士通株式会社) 3. 9月. 1993 (03. 09. 93) 全文、第1-13図 (ファミリーなし)	1-14
Y	J P, 10-198403, A (株式会社日立製作所) 31. 7月. 1998 (31. 07. 98) 全文、第1-4図 (ファミリーなし)	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

29. 11. 99

国際調査報告の発送日

14.12 99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西脇 博志

4L 9835

電話番号 03-3581-1101 内線 3496

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 54-4065, A (株式会社日立製作所) 12. 1月. 1979 (12. 01. 79) 全文、第1-2図 (ファミリーなし)	1-10, 12-14
Y	J P, 7-321178, A (株式会社日立製作所) 8. 12月. 1995 (08. 12. 95) 段落番号【0021】-【0024】、第1-3図 (ファミリーなし)	1-14
EY	J P, 11-283892, A (日本電気株式会社) 15. 10月. 1999 (15. 10. 99) 全文、第1-14図 (ファミリーなし)	1-14
A	J P, 7-288238, A (ソニー株式会社) 31. 10月. 1995 (31. 10. 95) 全文、第1-4図 (ファミリーなし)	1-14
A	C. A. KING, et. al., "Si/Si _{1-x} Ge Heterojunction Bipolar Transistors Produced by Limited Reaction Processing", IEEE ELECTRON DEVICE LETTERS, 1989, vol. 10, NO. 2, p. 52-54	1-14
A	WO, 92/20102, A1 (Massachusetts Institute of Technology) 12. 11月. 1992 (12. 11. 92) 全文、第1-9図 & J P, 6-507274, A	1-14